

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186240

(43) 公開日 平成9年(1997)7月15日

(51) Int.Cl. ⁹	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/8222			H 0 1 L 27/08	1 0 1 B
27/082			29/205	
29/205			29/46	H
29/43				R
21/331			29/72	

審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平7-341698

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 杉山 亨

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72) 発明者 森塚 宏平

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

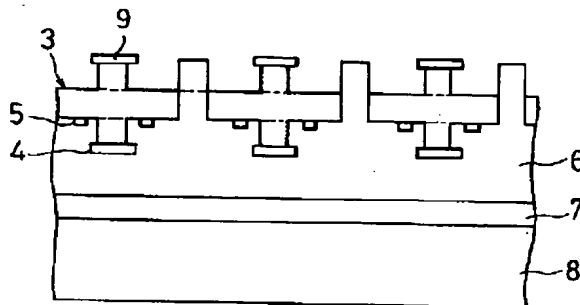
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体デバイス及びその製造方法

(57) 【要約】

【目的】 寄生容量が小さく信頼性及び耐熱性の高い半導体デバイスを高い生産効率で作製する。

【構成】 半導体デバイスは、III-V族化合物で形成されエミッタ及びコレクタの能動領域の幅がベースの能動領域より小さい半導体素子が異種材料の基板8上に一体的に設けられる。デバイスの半導体積層物3は、1あるいは複数の半導体素子を構成する小部分に細分化され、該半導体積層物の小部分が散在し且つ基板8に接しないように絶縁体6が該半導体積層物を覆う。一側から成形加工した半導体積層物を被覆する絶縁体層を形成し、300～400℃に加熱しながら基板を絶縁体層に接合する。



【特許請求の範囲】

【請求項1】 III-V族化合物で形成されエミッタ及びコレクタの能動領域の幅がベースの能動領域より小さい半導体素子が異種材料の基板上に一体的に設けられることを特徴とする半導体デバイス。

【請求項2】 1あるいは複数の半導体素子を構成する小部分に細分化された半導体積層物と、該半導体積層物の小部分が散在し且つ基板に接しないように該半導体積層物を覆う絶縁体とを有する半導体デバイス。

【請求項3】 半導体素子を形成するための半導体積層物を第1基板上に積層し、該半導体積層物を半導体素子に成形するための加工を該半導体積層物に前記第1基板と反対の側から施し、該半導体積層物の被加工部分を被覆する絶縁体層を形成し、該絶縁体層と第2基板とを300〜400℃に加熱しながら接合し、前記第1基板を該半導体積層物から分離し、前記第2基板と反対の側から成形加工を該半導体積層物に施して該半導体積層物を半導体素子に完成させることを特徴とする半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイス及びその製造方法に関し、より詳細には、III-V族化合物半導体によるヘテロ接合バイポーラトランジスタICに関する。

【0002】

【従来の技術】III-V族化合物半導体デバイスは、シリコンデバイスと比べて材料自身の持つ電子移動度の点において優位にあるため、超高速電子デバイスとしての開発が進められており、その例として、AlGaAs/GaAsヘテロ接合バイポーラトランジスタ等がある。ヘテロ接合バイポーラトランジスタ（以下HBTと称する）のエミッタ・ベース接合はヘテロ接合で形成されるので、エミッタの不純物濃度を高濃度にするこなくベース領域の不純物濃度を十分高くしてベース抵抗を下げる事が可能であり、高周波特性に優れている。そのため、マイクロ波用トランジスタなどとして開発が進められている。

【0003】バイポーラトランジスタの動作速度の指標としては、カットオフ周波数 f_t 及び最大発振周波数 f_{max} がある。一般に、カットオフ周波数 f_t は、エミッタ空乏層充電時間 τ_E 、ベース走行時間 τ_B 、コレクタ空乏層走行時間 τ_X 及びコレクタ充電時間 τ_C から次式(1)、(2)で表される。

$$f_t = 1 / (2\pi\tau_{EC}) \quad (1)$$

$$\tau_{EC} = \tau_E + \tau_B + \tau_X + \tau_C \quad (2)$$

【0004】又、最大発振周波数 f_{max} は、ベース抵抗 R_B 、コレクタ接合容量 C_{CB} 及び上記カットオフ周波数 f_t から下記式(3)で表される。

$$f_{max} = f_t / (8\pi R_B C_{CB}) \quad (3)$$

【0005】最大発振周波数 f_{max} を高くするために

は、カットオフ周波数 f_t を高くし、更にベース抵抗 R_B 及びコレクタ接合容量 C_{CB} を小さくする必要があり、カットオフ周波数 f_t を高くするためには、キャリアの素子内走行時間を短縮する必要がある。そして、キャリアの素子内走行時間を短縮するために考えられるものとして、ベース走行時間 τ_B の短縮がある。ベース走行時間 τ_B は、ベース幅を小さくすれば短縮されるが、ベース幅を1/2にするとシート抵抗が2倍に増加するといふようにベース抵抗 R_B が増加するので、ベース抵抗 R_B を変えても結果として最大発振周波数 f_{max} の向上が期待できない。一方、コレクタ接合容量 C_{cb} に関しては、ベース・コレクタ間の空乏層幅を延ばすか、あるいはベース・コレクタ間の面積を減らすことによって減らす方法がある。前者の空乏層幅を延ばす方法では、コレクタ走行時間が増大してカットオフ周波数 f_t が低下する。後者のベース・コレクタ間の面積を減らす方法としては、コレクタを上側に配置してコレクタトップ型HBTとする方法等が開発されているが、この構造の場合、イオンインプランテーションにより分離されるエミッタ・コレクタ間でのリーク電流が大きく、高い電流増幅率が得られない問題がある。又、エミッタトップ型HBTにおいては、外部ベース下のコレクタ寄生容量低減のために H^+ または O^+ イオンを用いたインプランテーションが用いられている。この技術によりコレクタ非真性領域が空乏化しコレクタ寄生容量は低減する。しかし、コレクタコンタクト層と外部ベース層との間での寄生容量は依然として残っており、この寄生容量が排除されなければ、さらなる高速化は難しい。

【0006】他方、米国特許公報第5、318、916号は、エピタキシャルリフトオフを用いてHBTを作製する方法を開示し、この方法では、第1の基板上に形成された半導体積層薄膜は、該基板と反対の側からの加工によりエミッタ側の成形処理が施され、この後、加工薄膜のエミッタ側に第2の基板を貼付し、第1の基板を選択エッチングにより除去し、これによって露出した側から再び積層薄膜を加工してコレクタ側の成形が行われる。この方法によれば、コレクタ側の加工時にコレクタ寄生容量を低減させるように加工して超高速HBTを作製することが可能となる。

【0007】

【発明が解決しようとする課題】しかし、上述の方法を利用してHBTを作製すると、ICの作製や大面積のウエハを用いた量産の場合に様々な障害が生じる。

【0008】例えば、その後のプロセス中に課される熱によって第2の基板に貼付された積層薄膜のエミッタ側にかかる応力で積層薄膜が剥離・破壊を起こし易い。

【0009】又、接着剤や金属による接着方法で第2の基板を貼付すると、被着部分にボイドが生じ易く、ボイドによってデバイス特性のばらつきが大きくなるため、デバイス特性の均一性に対する要求の厳しいIC作製で

は不都合を生じる。

【0010】更に、前述の作製方法において第2の基板と積層薄膜とを接着する金属は、エミッタ金属又はコレクタ金属と共通であり、この構成においてはエミッタ接地の回路又はコレクタ接地の回路しか形成できないため、IC設計への応用が制限される。

【0011】上記説明から理解されるように、従来の方
法に従ってバイポーラトランジスタの作動を高速化する
ために寄生容量の少ないデバイスを生産すると、生産効
率が低く、信頼性及び耐熱性の高いデバイスを得られ
ない。従って、生産効率やデバイスの信頼性、耐熱性を
高めるために、半導体基板との接合界面のボイドや熱
応力に起因する積層薄膜の破損の防止が重要な課題
である。

【0012】

【課題を解決するための手段】上記目的を達成するた
め、デバイス構造あるいはデバイス製作プロセスにつ
いて研究した結果、トランジスタ素子を構成する積層
薄膜及び基板の構成を工夫することによって熱応力
による積層薄膜の破損を減少させ、製作プロセスにお
ける熱的処理により接合界面のボイドの影響を軽減可
能であることを見出し、本発明を成すに至った。

【0013】本発明の半導体デバイスは、III-V族化
合物で形成されエミッタ及びコレクタの能動領域の幅
がベースの能動領域より小さい半導体素子が異種材
料の基板上に一体的に設けられるものである。

【0014】又、本発明の半導体デバイスは、1ある
いは複数の半導体素子を構成する小部分に細分化さ
れた半導体積層物と、該半導体積層物の小部分が散
在し且つ基板に接しないように該半導体積層物を覆
う絶縁体とを有するものである。

【0015】更に、本発明の半導体デバイスの製造
方法は、半導体素子を形成するための半導体積層物
を第1基板上に積層し、該半導体積層物を半導体素
子に成形するための加工を該半導体積層物に前記第
1基板と反対の側から施し、該半導体積層物の被加
工部分を被覆する絶縁体層を形成し、該絶縁体層と
第2基板とを300～400℃に加熱しながら接合し、
前記第1基板を該半導体積層物から分離し、前記第
2基板と反対の側から成形加工を該半導体積層物に
施して該半導体積層物を半導体素子に完成させるも
のである。

【0016】上記構成に従って、熱応力あるいはボ
イドの加熱膨張による半導体積層物の破損が防止さ
れ、これにより半導体デバイスの耐熱性及び信頼性
が向上し、製造工程における生産効率が改善される。

【0017】

【発明の実施の形態】本発明に係る半導体デバイ
スの概要を図面を参照して以下に説明する。図面
において、図1～5、図6の(A)及び図7は製作過
程における半導体デバイスの鉛直断面図、図6の(B)
は図6の(A)のデバイスの平面図である。

【0018】まず、第1の基板、即ち、半導体基板1上
に選択エッチング層2をエピタキシャル成長させ、その
上にエミッタ、ベース及びコレクタを形成するための半
導体薄膜積層3を形成し、この半導体薄膜積層3を基板
1と反対の側からエッチング処理して図1に示すように
エミッタ電極4、ベース電極5及び配線電極(図示せ
ず)を設ける。この後、図2のように、半導体薄膜積層
3が個々の小部分に分割されるようにエッチングを行
う。そして、図3のように、上面が平坦になるようにエ
ッチングされた半導体薄膜積層3を覆う絶縁体層6を基
板全面にわたって形成する。絶縁体層6は、例えば、ポ
リイミド樹脂、ベンゾシクロブテン(BCB)のポリマ
ー等で形成する。この後、必要に応じて配線電極及び絶
縁体層を積層し多層配線を形成する(図示せず)。次
に、図4のように絶縁体層6(又は多層配線)の上に金
属層7を形成し、この金属層7と第2の基板、即ち支持
基板8とを接着して図5のように上下を反転させる。金
属層7と支持基板8との接着は、接着剤を用いるか、あ
るいは金属層7と支持基板8との合金化を利用して行
うことができる。接着剤を用いる場合、400℃程度の高
温に耐性を有し酸にも強い接着剤が適用され、接着時
に支持基板8及び金属層7を300～400℃程度に加熱
するのが好ましい。合金化によって接着する場合は、3
00～400℃程度の温度で合金化を行う。通常、接着
界面にボイドがあると、接着後の基板の処理工程にお
いて基板が加熱された時にボイド中の気体の膨張・爆
発によってデバイスの破壊が起こる。しかし、上述のよ
うに400℃近い加熱を伴った接着によって、ボイドに
起因するその後のデバイス破壊の防止が可能となる。使
用に適した接着剤としては、例えばポリイミド樹脂、エ
ポキシ樹脂等の接着剤が挙げられる。金属層7にはPt、
Pd、Ti、Ni等のメタル単体を用いることができる
が、これらに限らず、例えばTi/Pt/Au/Pt/Ti/Pt
やTi/Pt/Au/Pt/Ti/Pdのような金属積層物を用いても
よい。尚、配線電極の材質については常法により必要
に応じて適宜選択し、例えばTi/Pt/Au等を用いるこ
とが可能である。接着剤によって第2の基板を接着す
る場合、表面に凹凸のある基板を用いると接着強度
の点で好ましい。

【0019】この後、選択エッチング層2をエッチン
グして半導体基板1を除去することにより、図6の(A)
のように半導体薄膜積層3が露される。この時、図6
の(B)のように上面に矩形状に露出している半導体薄
膜積層3はコレクタ層の部分で、このように半導体薄
膜積層3が多数の小部分に分割されていることによって、
熱応力による剥がれや破損が防止される。露出された
半導体薄膜積層3は、コレクタ層の寄生容量を減少さ
せるために、図7に示されるようにエッチングによっ
てコレクタ領域を小さくする。この際、ベースコンタ
クト抵抗を下げるために、ベース層が露出するまでエ
ッチングして

ベース電極を形成してもよい。エッチング後の半導体薄膜積層 3 には図 7 のようにコレクタ電極 9 が形成される。この後、絶縁体層で被覆して半導体薄膜積層 3 の下に形成されている配線を常法により第 2 の基板と反対側の表面に引き出して必要とされる配線を行う。IC の作製においては、分割された半導体薄膜積層 3 の小部分間の配線を行う。

【0020】上述のように作製された縦型バイポーラトランジスタでは、エミッタ及びコレクタの幅がこれらに挟まれるベースの幅よりかなり小さく、ベースの幅の約 $1/4 \sim 1/2$ (エミッタ及びコレクタ幅としては、約 $0.5 \sim 2 \mu\text{m}$) となるようにベースに対してエミッタと対称に構成される。これにより、エミッタ及びコレクタの能動領域の幅がベースより小さくなるので寄生容量が小さくなり、実質的に、本来電流が流れるのに使用される真性領域のみからなるコレクタを得ることができる。又、ベースコンタクト抵抗も小さくなる。例えば、ベース幅が $1 \mu\text{m}$ 、エミッタ幅が $2 \mu\text{m}$ の条件下で、上記構成に従ってコレクタ容量を $1/2$ に減少させると、 f_{max} が 170 GHz から 220 GHz に向上するというような実効が得られる。

【0021】基板と半導体薄膜積層とが直接接合されている従来の半導体デバイスの場合、デバイスを加熱した際に基板と半導体部分との熱膨張係数の差によって生じる応力によって半導体薄膜積層が基板から剥離したり破*

$$\sigma = E \cdot \alpha \cdot \Delta t$$

(但し、式中、E は弾性係数、 α は線膨張係数、 Δt は※ ※温度変化)

$$I = w d^3 / 12$$

$$k^2 = d^2 / 12$$

$$\sigma' = n \cdot \pi^2 \cdot E \cdot d^2 / 12 w^2 \quad (2)$$

(式中、n は末端係数)

【0023】座屈強さと熱応力とが $\sigma' > 2\sigma$ となるような場合には半導体の剥離は生じないので、この条件を★

$$w < [(n \cdot \pi^2) / (24 \alpha \cdot \Delta t)]^{1/2} \cdot d \quad (3)$$

【0024】従って、小部分の厚さ d を基準として一辺の長さ w を上記式 (3) を満足する値に設定すれば、剥離は生じない。例えば、半導体が GaAs の場合、線膨張係数 α は $6 \times 10^{-6} / \text{K}$ であり、末端係数 $n = 1$ 、温度変化 $\Delta t = 300 \text{ K}$ 、厚さ $d = 2 \mu\text{m}$ とすると、一辺の長さ w は $30 \mu\text{m}$ 未満となる。

【0025】上述より理解されるように、半導体薄膜積層を小部分に細分化して絶縁体層に埋め込んだ構造にすることによって、熱応力による半導体薄膜積層の破損を減少させることができる。各小部分の大きさは、各状況に応じて上述の要件を参照して導かれる範囲に設定すればよく、大部分はトランジスタ等の素子単位で形成しても、あるいは複数の素子を 1 グループとして形成してもよい。絶縁体については、加熱下においてもある程度の応力に耐えられる強度を有することが必要であり、絶縁体の例として前述したような材料はこれを満足するもの

* 損したりする。金属層を介して接合されている場合にも応力の作用形態は同様であるので、この様なものも基板と直接接合されているものと実質的に同じである。しかし、本発明の半導体デバイスにおいては、半導体薄膜積層部分は基板から離れて絶縁体を介して接合されているので、このような応力は絶縁体に作用する。更に、半導体薄膜積層は小部分に細分化され絶縁体で覆われるように形成されているため、絶縁体と半導体薄膜積層との間で生じる応力の作用形態は、半導体薄膜積層が基板に接合されている場合とは異なり、熱応力による半導体薄膜積層の破損は抑制される。又、熱伝導性の良い窒化アルミニウムのような異種基板を接合することに障害がない。

【0022】半導体薄膜積層の小部分の適切な大きさは、以下のように求められる。仮に、一辺の長さが w の正方形の底面を有し厚さが d である直方体形の小部分に細分化された半導体とその正方形の上面を外部に曝した状態で絶縁体に埋め込まれたデバイスを想定すると、デバイスを加熱した際に半導体に生じる熱応力 σ によって、半導体は絶縁体から曲げ応力を受け、半導体の座屈強さ σ' が小さければ半導体は曲げ応力に耐えられずに絶縁体から剥離する。半導体に生じる熱応力 σ は下記式 (1) で表され、一方、座屈強さ σ' は、半導体の最小断面二次モーメント I 及び最小断面二次半径 k から、オイラーの式に従って下記式 (2) で表される。

(1)

★満たす一辺の長さ w 及び厚さ d は、上記式 (1) (2) より、次の式 (3) のような関係にある。

である。

【0026】更に、積層部分を覆う絶縁体と第 2 の基板との間に金属層が設けられることにより、トランジスタから生じる熱が基板から外へ効率よく放出される。トランジスタから金属層へ放熱用の配線を接続することも可能である。

【0027】又、絶縁体が十分高い強度を有すれば、第 2 の基板を絶縁体で形成することも可能である。つまり、絶縁体層の一部が基板の代用となり、第 2 の基板が省略される。このような態様では、絶縁体としてポリイミド樹脂が特に優れている。

【0028】上記の説明においてはコレクタトップ型のトランジスタの作製が述べられているが、エミッタトップ型も作製可能なことは言うまでもなく、他の素子についても応用可能である。

【0029】以下に、本発明に係る半導体デバイスの作

製の具体例を図面を交えて詳細に説明する。尚、結晶成長方法にはMOCVD法、MBE法、ガスソースMBE法などがあるが、ここではMBE法で行うものとする。

【0030】(具体例1) 図8に示すとおり、半絶縁性GaAs基板11上に、選択エッチング層12として厚さ1 μ mのInGaP層を、コレクタコンタクト層13としてn⁺-GaAs層を、コレクタ層14として400nmのn-GaAs層を、ベース層15として45nmのP⁺-Al_xGa_{1-x}As層(x=0→0.1)を、エミッタ層16として100nmのN-Al_{0.3}Ga_{0.7}As層を、そしてエミッタコンタクト層17として50nmのn⁺-In_{0.5}Ga_{0.5}As層を順次結晶成長させて積層物を得る。

【0031】次に、積層物を素子毎に区分するために、積層物のうち素子となる部分以外の箇所について、図9に斜め破線部分Iで示すように、B⁺イオンでのイオンインプラネーションを行う。この後、燐酸と過酸化水素の混合液を用いたエッチングによって、図10のようにエミッタコンタクト層及びエミッタ層16におけるエミッタ領域以外の部分を除去してベース層15を露出させる。

【0032】更に、図11のように、蒸着法によりTi/Pt/Auでエミッタ電極18及びベース電極19を形成する。そして、図12のように、積層物を升目状にエッチングして所定数の素子となる部分を含んだ小部分に分割する。この時、エッチングの深さはコレクタコンタクト層13より深くなるようにする。この後、図13のように、小部分を覆うようにポリイミド前駆体を基板全面に塗布して350℃に加熱して熱硬化させポリイミド樹脂からなる絶縁体層20を形成し、エッチバックにより平坦化する。

【0033】そして、図14に示すように、エミッタ電極18及びベース電極19の上方位置のポリイミド樹脂にコンタクトホールを開けて各電極用の配線21をTi/Pt/Auで形成し、更にポリイミド樹脂で被覆し同様に熱硬化して絶縁体層22を設ける。続いて、図15のようにポリイミド樹脂の絶縁体層22の表面全体に白金薄膜23を蒸着させ、図16に示すようにシリコン基板24を前記白金薄膜23と接触させて350℃に加熱し白金とシリコンの合金化によりシリコン基板24を白金薄膜23に接着させる。

【0034】更に、塩酸を用いてInGaPの選択エッチング層12をエッチングして図17に示すようにGaAs基板11をエピタキシャルリフトオフする。基板11を除去した状態において、素子を形成する積層部分は小部分に分割されてポリイミド樹脂の絶縁体層20中に島様に散在して埋設された状態となり、基板とは直接結合されていないため、以後に施される熱処理によって生じる熱応力による素子の破損は起こり難くなる。

【0035】この後、図18のように、コレクタがベ-

スについてエミッタと対称になるように、コレクタ領域を形成する部分以外のコレクタコンタクト層13及びコレクタ層14をエッチングにより除去しベース層15を露出させて、蒸着法によりTi/Pt/Au製のベース電極25を付設する。同様に、コレクタ電極26をコレクタコンタクト層13に付設する。ベース層の上下両側にベース電極19、25を形成することにより、コンタクト面積が広がりコンタクト抵抗を減少させることが可能となる。

【0036】更に、上面をベンゾシクロブテン(BCB)で被覆し、これを250℃で硬化させてエッチバックにより平坦化して、図19のように絶縁体層27を形成する。絶縁体層27の上面からコレクタ電極26、ベース電極25及び下層の配線21へ向かって鉛直方向にコンタクトホールを形成して配線用金属としてTi/Pt/Auを埋め込み引出し配線28を形成し、ヘテロ接合バイポーラトランジスタ素子が完成する。

【0037】(具体例2) 具体例1と同様の操作に従って、図20に示すように絶縁体層20、22、27に埋設された複数のトランジスタ素子30が形成され、更に各素子30を二層配線29によって接続してIC31が作製される。

【0038】(具体例3) 具体例1の操作を応用して、図21に示すようなIC32が作製される。このICにおいては、トランジスタ素子のうち特に放熱対策の必要なパワー用素子33のエミッタ電極34を金属層23とAu製の配線35で接続し、素子33に生じた熱を配線35を介して金属層23へ伝達し易くしている。

【0039】(具体例4) 具体例1の操作を応用して、図22に示すようなマイクロ波用IC36が作製される。このICにおいては、島状に形成されるHBTIC部分37と共に、金属層をグランドとするマイクロストリップライン38が作製操作中に形成される。

【0040】

【発明の効果】 寄生容量が小さく、信頼性及び耐熱性の高い半導体デバイスの作製を高い生産効率で行うことが可能になり、作製する半導体デバイスの設計変更が容易に行え、応用可能な範囲が広い。

【図面の簡単な説明】

【図1】 本発明の半導体デバイスの作製の基本プロセスを説明する縦断面図。

【図2】 図1に続く基本プロセスを説明する縦断面図。

【図3】 図2に続く基本プロセスを説明する縦断面図。

【図4】 図3に続く基本プロセスを説明する縦断面図。

【図5】 図4に続く基本プロセスを説明する縦断面図。

【図6】 図5に続く基本プロセスを説明する縦断面図(A)及び平面図(B)。

【図7】 図6に続く基本プロセスを説明する縦断面図。

【図8】 本発明の半導体デバイスの第1の具体例の作製プロセスを説明する縦断面図。

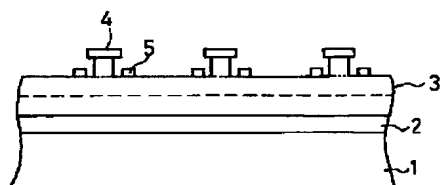
【図 9】図 8 に続くプロセスを説明する縦断面図。
 【図 10】図 9 に続くプロセスを説明する縦断面図。
 【図 11】図 10 に続くプロセスを説明する縦断面図。
 【図 12】図 11 に続くプロセスを説明する縦断面図。
 【図 13】図 12 に続くプロセスを説明する縦断面図。
 【図 14】図 13 に続くプロセスを説明する縦断面図。
 【図 15】図 14 に続くプロセスを説明する縦断面図。
 【図 16】図 15 に続くプロセスを説明する縦断面図。
 【図 17】図 16 に続くプロセスを説明する縦断面図。
 【図 18】図 17 に続くプロセスを説明する縦断面図。
 【図 19】図 18 に続くプロセスを説明する縦断面図。
 【図 20】本発明の半導体デバイスの第 2 の具体例を示す斜視図 (A) 及び縦断面図 (B)。
 【図 21】本発明の半導体デバイスの第 3 の具体例を示す縦断面図。
 【図 22】本発明の半導体デバイスの第 4 の具体例を示す縦断面図。

す縦断面図。

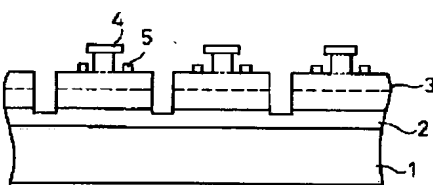
【符号の説明】

3 半導体薄膜積層
 4、18、34 エミッタ電極
 5、19、25 ベース電極
 6、20、22 絶縁体
 7、23 金属層
 8、24 基板
 9、26 コレクタ電極
 10 14 コレクタ層
 15 ベース層
 16 エミッタ層
 35 配線
 37 HBTIC
 38 マイクロストリップライン

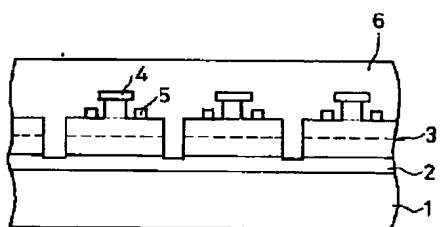
【図 1】



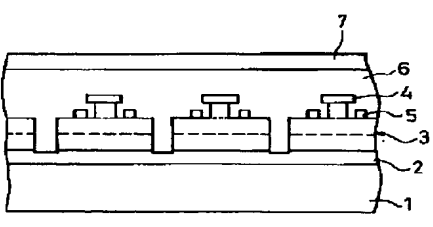
【図 2】



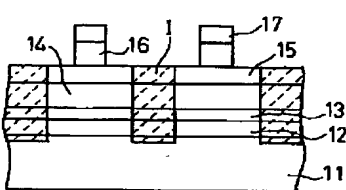
【図 3】



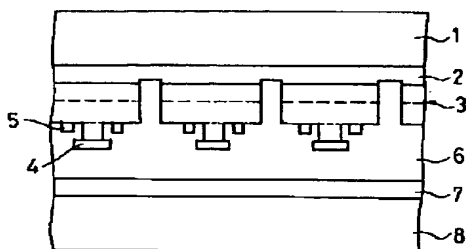
【図 4】



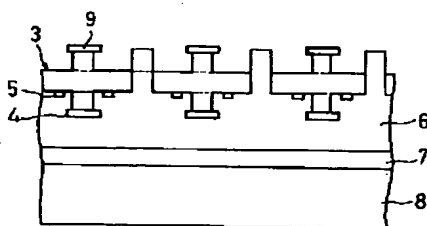
【図 10】



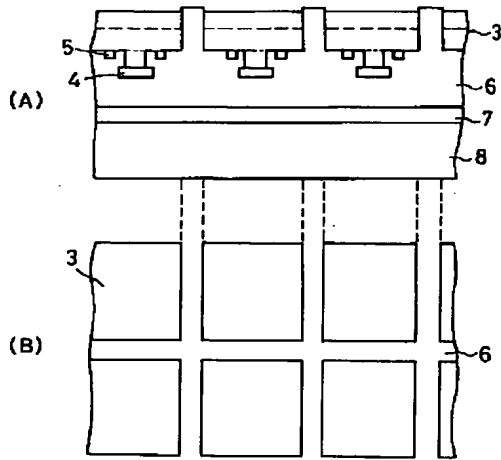
【図 5】



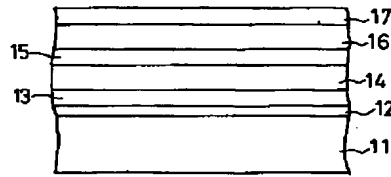
【図 7】



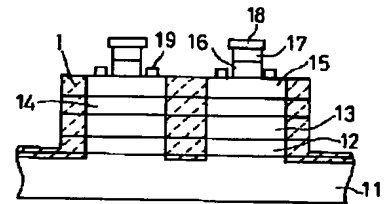
【図6】



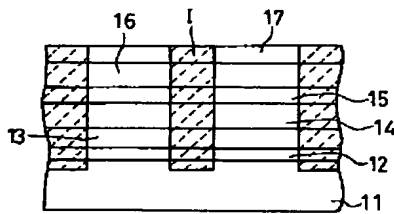
【図8】



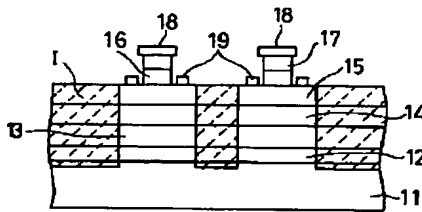
【図12】



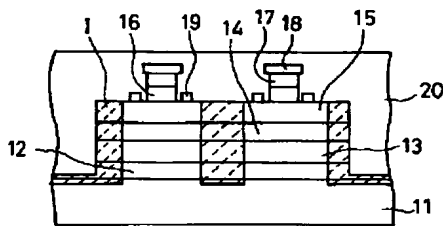
【図9】



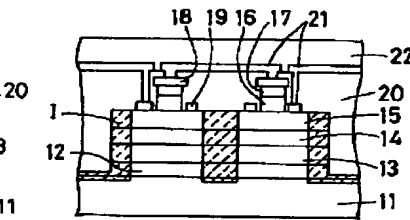
【図11】



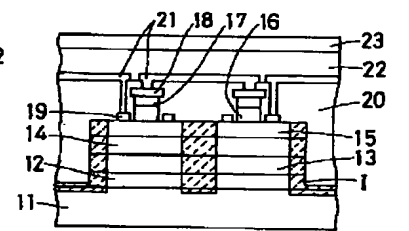
【図13】



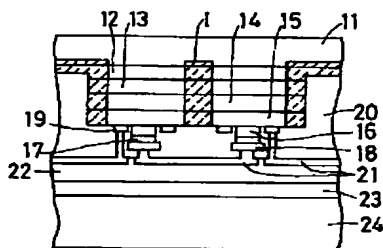
【図14】



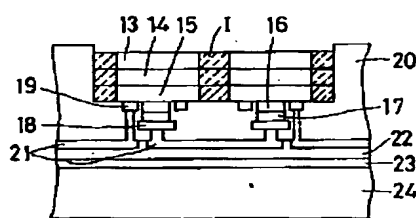
【図15】



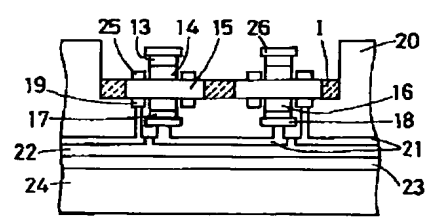
【図16】



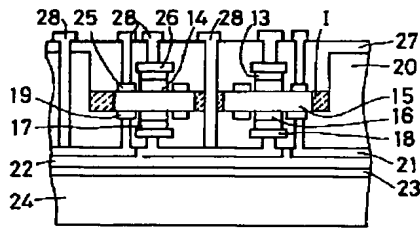
【図17】



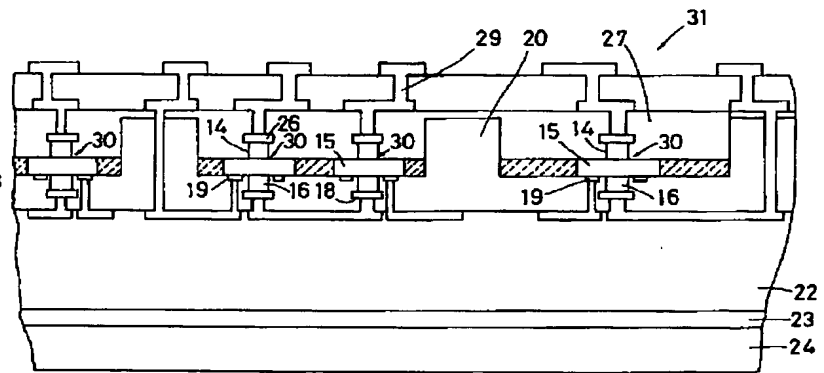
【図18】



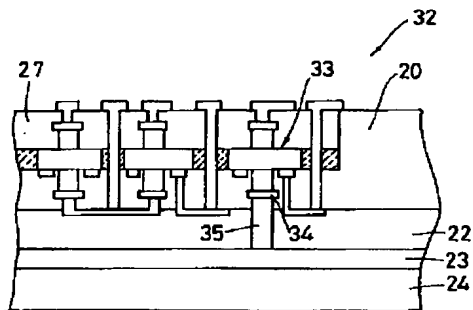
【図 19】



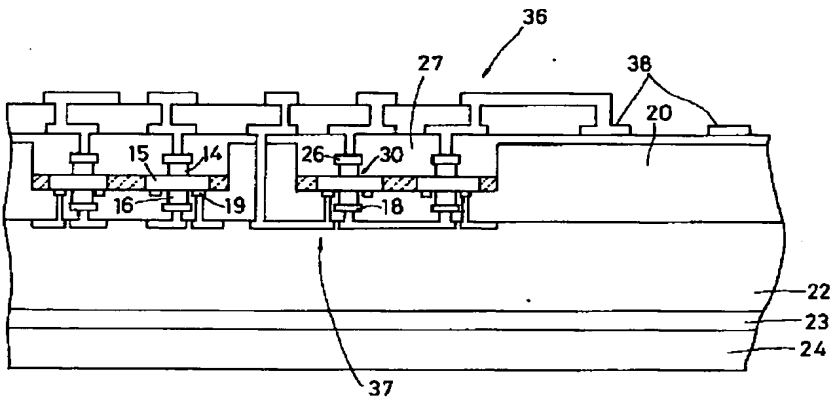
【図 20】



【図 21】



【図 22】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/73

識別記号

庁内整理番号

F I

技術表示箇所

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-186240

(43)Date of publication of application : 15.07.1997

(51)Int.Cl.

H01L 21/8222

H01L 27/082

H01L 29/205

H01L 29/43

H01L 21/331

H01L 29/73

(21)Application number : 07-341698

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.12.1995

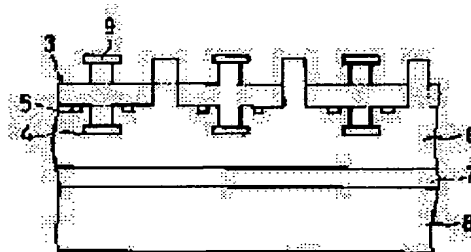
(72)Inventor : SUGIYAMA TORU
MORITSUKA KOHEI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture efficiently a semiconductor device having a small parasitic capacitance, high reliability and high heat resistance.

SOLUTION: In a semiconductor device, semiconductor elements formed out of III-V compound semiconductor in each of which the widths of the active regions of its emitter and collector are smaller than the one of its base are provided in a body on a substrate 8 made of a different kind of material from them. In the semiconductor device, a semiconductor material 3 is divided into a plurality of small scattered portions for constituting the semiconductor elements, being covered with an insulator layer 6 to be prevented from abutting against the substrate 8. Forming from one side the insulator layer 6 covering the semiconductor material 3 subjected to a mold processing, the insulator layer 6 is heated to 300-400° C to join the substrate 8 to it.



LEGAL STATUS

[Date of request for examination]

19.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office